

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2001年9月27日 (27.09.2001)

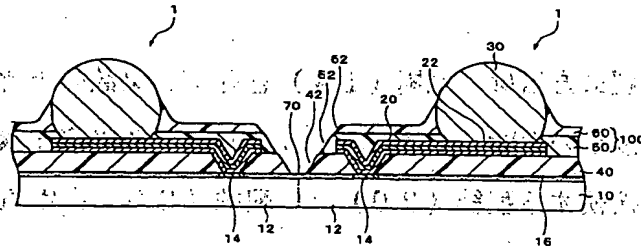
PCT

(10) 国際公開番号
WO 01/71805 A1

- (51) 国際特許分類: H01L 23/28, 23/12, 21/301 392-8502 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内 Nagano (JP).
- (21) 国際出願番号: PCT/JP01/02325
- (22) 国際出願日: 2001年3月23日 (23.03.2001) (74) 代理人: 井上 一, 外(INOUE, Hajime et al.); 〒167-0051 東京都杉並区荻窪5丁目26番13号 荻窪TMビル2階 Tokyo (JP).
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語 (81) 指定国 (国内): CN, JP, KR.
- (30) 優先権データ: 特願2000-81999 2000年3月23日 (23.03.2000) JP (84) 指定国 (広域): ヨーロッパ特許 (AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE, TR).
- (71) 出願人: セイコーエプソン株式会社 (SEIKO EPSON CORPORATION) [JP/JP]; 〒163-0811 東京都新宿区西新宿2丁目4番1号 Tokyo (JP). 添付公開書類:
— 国際調査報告書
- (72) 発明者: 桑原啓二 (KUWABARA, Keiji). 花岡輝直 (HANAOKA, Terunao). 伊東春樹 (ITO, Haruki); 〒 2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

(54) Title: SEMICONDUCTOR DEVICE, METHOD OF MANUFACTURE THEREOF, CIRCUIT BOARD, AND ELECTRONIC DEVICE

(54) 発明の名称: 半導体装置及びその製造方法、回路基板並びに電子機器



(57) Abstract: A plurality of resin layers (40, 100), wiring (20) connected electrically to electrodes (14) of semiconductor elements (12) and external terminals (30) connected electrically to the wiring are formed on a collection (10) of the semiconductor elements (12). The collection (10) is cut. At least one of the resin layers (40, 100) is deviated from the regions (70) where the collection (10) is cut.

[続葉有]

WO 01/71805 A1

BEST AVAILABLE COPY



(57) 要約:

半導体装置の製造方法は、電極(14)を有する複数の半導体素子(12)の集合体(10)に、複数の樹脂層(40、100)と、各半導体素子(12)の電極(14)に電氣的に接続する配線(20)と、配線(20)に電氣的に接続する外部端子(30)と、を形成し、集合体(10)を切断する工程を含み、複数の樹脂層(40、100)のうち少なくとも1つの樹脂層を、集合体(10)の切断領域(70)を避けて形成する。

明 細 書

半導体装置及びその製造方法、回路基板並びに電子機器

5 [技術分野]

本発明は、半導体装置及びその製造方法、回路基板並びに電子機器に関する。

[背景技術]

10 半導体装置の高密度実装を追及すると、ベアチップ実装が理想的である。しかしながら、ベアチップは、品質の保証及び取り扱いが難しい。そこで、CSP (Chip Scale/ Size Package) が適用された半導体装置が開発されている。

特に近年、ウェーハレベルで製造する、いわゆるウェーハレベルCSPが注目されている。ウェーハレベルCSPでは、樹脂層を有し再配線が施された複数の半導体素子をウェーハ単位で形成し、その後に各半導体素子に切断して半導体装置を形成する。

15 しかし、この場合にダイシングされた半導体装置の端部が欠け、これによって、樹脂層が半導体素子の界面から剥離してしまう場合があった。

[発明の開示]

20 本発明はこの問題点を解決したものであり、その目的は、信頼性の高い半導体装置及びその製造方法、回路基板並びに電子機器を提供することにある。

(1) 本発明に係る半導体装置の製造方法は、電極を有する複数の半導体素子の集合体に、複数の樹脂層と、各半導体素子の前記電極に電氣的に接続する配線と、前記配線に電氣的に接続する外部端子と、を形成し、前記集合体を切断する工程を含む半導体装置の製造方法であって、

25 前記複数の樹脂層のうち少なくとも1つの樹脂層を、前記集合体の切断領域を避けて形成する。

本発明によれば、予め少なくとも1つの樹脂層を集合体の切断領域を避けて形成し、

集合体を切断する。これによって、半導体装置の端部の欠けを抑えて、半導体装置の樹脂層の剥離を防止することができる。したがって、信頼性の高い半導体装置を製造することができる。

(2) この半導体装置の製造方法において、

- 5 前記少なくとも1つの樹脂層を、インクジェット方式又は印刷方式によって形成してもよい。

これによって、より簡単に、少なくとも1つの樹脂層を切断領域を避けて形成することができる。

(3) この半導体装置の製造方法において、

- 10 前記少なくとも1つの樹脂層を、予めパターンニングして別部材に形成しておき、前記集合体に転写させることによって形成してもよい。

これによって、より簡単に、少なくとも1つの樹脂層を切断領域を避けて形成することができる。

(4) この半導体装置の製造方法において、

- 15 前記切断領域に前記少なくとも1つの樹脂層を弾く成分からなる材料を設け、前記少なくとも1つの樹脂層を前記材料で弾かせることによって形成してもよい。

これによって、少なくとも1つの樹脂層を確実に切断領域から除くことができる。

(5) この半導体装置の製造方法において、

前記少なくとも1つの樹脂層は感光性の材料からなり、

- 20 前記少なくとも1つの樹脂層を、露光して前記切断領域の部分を除くことによって形成してもよい。

これによって、例えば、既存の工程で容易に少なくとも1つの樹脂層を形成することができる。

(6) この半導体装置の製造方法において、

- 25 前記複数の樹脂層は、前記配線の下第1の樹脂層と、前記配線の上第2の樹脂層と、を含み、

前記樹脂層を形成する工程で、少なくとも前記第1の樹脂層を、前記集合体の切断領域を避けて形成してもよい。

これによれば、配線の下に形成する第1の樹脂層を、切断領域を避けて形成する。
例えば、第1の樹脂層を比較的厚く形成する場合に効果的である。

(7) この半導体装置の製造方法において、

前記樹脂層を形成する工程で、前記第2の樹脂層を前記集合体の切断領域を避けて
5 形成してもよい。

(8) この半導体装置の製造方法において、

前記樹脂層を形成する工程で、前記第2の樹脂層の少なくとも最上層を、前記外部
端子及び前記切断領域を覆うように設けた後に、一部を除去して前記外部端子の少な
くとも先端部を露出させると同時に、前記切断領域の部分を除去してもよい。

10 これによって、例えば、既存の工程数で第2の樹脂層を切断領域から除去すること
ができる。

(9) この半導体装置の製造方法において、

前記樹脂層を形成する工程で、前記第2の樹脂層を複数層により形成し、前記複数
層のうち少なくとも最上層を前記集合体の切断領域を覆うように形成してもよい。

15 これによれば、切断の際の半導体素子の端部の欠けの発生を抑制し、その進行も抑
え、樹脂層の剥離を有効に防止することができる。

(10) この半導体装置の製造方法において、

前記複数の樹脂層は、前記配線の下第1の樹脂層と、前記配線の上第2の樹脂
層と、を含み、

20 前記樹脂層を形成する工程で、少なくとも前記第2の樹脂層を前記集合体の切断領
域を避けて形成してもよい。

これによれば、配線の上に形成する第2の樹脂層を、切断領域を避けて形成する。
例えば、第2の樹脂層を比較的厚く形成する場合に効果的である。

(11) この半導体装置の製造方法において、

25 前記第2の樹脂層の熱膨張係数は、前記第1の樹脂層よりも大きくてもよい。

これによって、熱ストレスによる応力を効果的に緩和することができる。

(12) この半導体装置の製造方法において、

前記樹脂層を形成する工程で、前記外部端子の前記第2の樹脂層から露出する部分

が、前記外部端子の前記配線との接合部よりも平面視において小さくなるように、前記第 2 の樹脂層を前記外部端子の一部を露出させて形成してもよい。

これによって、第 2 の樹脂層における外部端子との接触面積を大きくすることで、応力をさらに効果的に緩和することができる。

5 (13) この半導体装置の製造方法において、

前記第 2 の樹脂層を複数層で形成し、

前記樹脂層を形成する工程で、前記第 2 の樹脂層の最下層を、前記配線における前記外部端子を形成する領域を避けて形成し、

10 前記外部端子を形成する工程で、前記外部端子を、前記配線の前記第 2 の樹脂層から露出した部分に形成してもよい。

これによって、外部端子をより簡単に設けることができる。

(14) この半導体装置の製造方法において、

それぞれの前記半導体素子には、複数の前記電極が形成されてなり、

15 前記樹脂層を形成する工程で、前記半導体素子における前記電極よりも内側の領域に、前記第 1 の樹脂層を形成してもよい。

これによって、第 1 の樹脂層を切断領域から避けて設けることができる。また、第 1 の樹脂層の面積を小さくすることで、半導体素子と第 1 の樹脂層との熱膨張係数がある程度異なる場合であっても、外部端子に加えられる応力を効果的に緩和することができる。

20 (15) 本発明に係る半導体装置は、上記半導体装置の製造方法によって製造されてなる。

(16) 本発明に係る半導体装置は、電極を有する半導体チップと、

前記半導体チップの前記電極に電氣的に接続された配線と、

前記配線に電氣的に接続して設けられた外部端子と、

25 前記半導体チップの前記電極が形成された面に設けられた複数の樹脂層と、
を含み、

前記複数の樹脂層のうち少なくとも 1 つの樹脂層は、その平面形状の外周が前記半導体チップの外周よりも内側に位置する。

本発明によれば、少なくとも1つの樹脂層の平面形状の外周が、切断された半導体素子の外周よりも内側に位置する。すなわち、複数の樹脂層のうち少なくとも1つの樹脂層は、半導体素子の端部を避けて形成されている。これによって、切断面からの樹脂層の剥離を防止することができる。

5 (17) この半導体装置において、

前記少なくとも1つの樹脂層は、前記配線の下に形成されてもよい。

(18) この半導体装置において、

前記半導体チップは、複数の前記電極を有し、

前記少なくとも1つの樹脂層は、平面視において前記半導体チップにおける前記電

10 極よりも内側の領域に形成されてもよい。

これによれば、樹脂層の面積が小さいので、半導体チップと樹脂層との熱膨張係数がある程度異なる場合であっても、外部端子に加えられる応力を効果的に緩和することができる。

(19) この半導体装置において、

15 前記複数の樹脂層は、前記配線の上で前記外部端子の根元周囲を覆うように設けられた樹脂層を含み、

前記外部端子の前記樹脂層から露出する部分が、前記外部端子の前記配線との接合部よりも平面視において小さくなるように、前記外部端子の一部が露出してもよい。

これによって、樹脂層における外部端子との接触面積を大きくすることで、応力を

20 さらに効果的に緩和することができる。

(20) 本発明に係る回路基板は、上記半導体装置が搭載されている。

(21) 本発明に係る電子機器は、上記半導体装置を有する。

[図面の簡単な説明]

25 図1は、本発明の第1の実施の形態に係る半導体装置を説明するための図である。

図2は、本発明の第1の実施の形態に係る半導体装置の製造方法を説明するための図である。

図3は、本発明の第1の実施の形態に係る半導体装置の製造方法を説明するための

図である。

図4は、本発明の第1の実施の形態に係る半導体装置の製造方法を説明するための図である。

5 図5は、本発明の第1の実施の形態に係る半導体装置の製造方法を説明するための図である。

図6は、本発明の第1の実施の形態に係る半導体装置の製造方法を説明するための図である。

図7は、本発明の第1の実施の形態に係る半導体装置の製造方法を説明するための図である。

10 図8は、本発明の第1の実施の形態に係る半導体装置の製造方法を説明するための図である。

図9は、本発明の第1の実施の形態に係る半導体装置の製造方法の第1の変形例を説明するための図である。

15 図10は、本発明の第1の実施の形態に係る半導体装置の製造方法の第2の変形例を説明するための図である。

図11は、本発明の第1の実施の形態に係る半導体装置の製造方法の第3の変形例を説明するための図である。

図12は、本発明の第1の実施の形態に係る半導体装置及びその製造方法の第4の変形例を説明するための図である。

20 図13は、本発明の第2の実施の形態に係る半導体装置及びその製造方法を説明するための図である。

図14は、本発明の第2の実施の形態に係る半導体装置を説明するための図である。

図15は、本発明の第2の実施の形態の変形例に係る半導体装置及びその製造方法を示す図である。

25 図16は、本発明の第3の実施の形態に係る半導体装置及びその製造方法を説明するための図である。

図17は、本発明の第3の実施の形態に係る半導体装置を説明するための図である。

図18は、本発明の第3の実施の形態の変形例に係る半導体装置及びその製造方法

を示す図である。

図19は、本実施の形態に係る半導体装置が実装された回路基板を示す図である。

図20は、本実施の形態に係る半導体装置を有する電子機器を示す図である。

図21は、本実施の形態に係る半導体装置を有する電子機器を示す図である。

5

〔発明を実施するための最良の形態〕

以下、本発明の好適な実施の形態について図面を参照して説明する。ただし、本発明は、以下の実施の形態に限定されるものではない。

(第1の実施の形態)

10 図1は、第1の実施の形態に係る半導体装置を説明するための図である。図2～図

12は、本実施の形態に係る半導体装置の製造方法を説明するための図である。

本実施の形態に係る半導体装置の製造方法は、集合体10に、配線20、外部端子30及び複数の樹脂層を形成する。集合体10は、複数の半導体素子12を有する。集合体10は、シリコンウェーハであってもよい。各半導体素子12には複数の電極

15 14が形成されている。集合体10を個々の半導体素子12に切断することによって、半導体素子12を半導体チップとすることができる。図1は、詳しくは、個々の半導体素子12に切断する前の集合体10を含む半導体装置の集合体を示す図である。

本実施の形態に係る半導体装置は、図1に示す半導体装置を切断してなるものである。半導体装置1は、個々の半導体素子(半導体チップ)12と、配線20と、外部

20 端子30と、複数の樹脂層(図1では第1の樹脂層40及び第2の樹脂層100)と、を含む。そして、複数の樹脂層のうちの少なくとも1つの樹脂層(図1では全ての樹脂層)は、半導体素子12の端部を避けて形成されている。半導体装置1は、そのパッケージサイズが半導体チップにほぼ等しいので、CSPに分類することができ、あるいは、応力緩和機能を備えるフリップチップであるということもできる。

25 半導体素子12は、一つの面(能動面)に複数の電極14が形成されている。複数の電極14は、半導体素子12の平面形状が矩形(正方形又は長方形)である場合には、少なくとも一辺(対向する二辺又は全ての辺を含む)に沿って形成されている。あるいは、半導体素子12の一方の面の中央に複数の電極14を形成してもよい。電

極14を避けて、半導体素子12には、SiN、SiO₂、MgOなどのパッシベーション膜16が形成されている。パッシベーション膜16は電氣的な絶縁膜である。

パッシベーション膜16は、本実施の形態における複数の樹脂層とは異なり、樹脂以外の材料で形成されていてもよい。パッシベーション膜16は、電極14の少なくとも一部を避けて、半導体素子12の全面に形成されていてもよい。

配線20は、半導体素子12における電極14が形成された面で、電極14に電氣的に接続されている。配線20は、複数層から構成されることが多い。例えば、銅(Cu)、クロム(Cr)、チタン(Ti)、ニッケル(Ni)、チタングステン(TiW)、金(Au)、アルミニウム(Al)、ニッケルバナジウム(NiV)、タングステン(W)のうちのいずれかを積層して配線20を形成することができる。電極14が半導体素子12の端部に形成されている場合には、半導体素子12の中央方向に、配線20を引き込む。各電極14に接続されて配線20が形成されることによって、半導体素子12の面に配線パターンが形成される。

図1に示すように、外部端子30は、電極14の真上を避けて、配線20上に形成されている。詳しくは、外部端子30は、配線20の例えばランド部22に形成されている。ランド部22は、電極14から引き出される部分(ライン)よりも面積が大きく形成されている。外部端子30は、電極14の真上を避けて形成されているので、外部端子30に加えられた応力が電極14に直接加えられないようになっている。外部端子30は、例えばハンダボールなどであって、回路基板との電氣的な接合に使用される。

第1の樹脂層40は、複数層で形成されてもよいが、図1に示す例では1層で形成されている。第1の樹脂層40は、応力緩和機能を有してもよい。第1の樹脂層40は、ポリイミド樹脂、シリコーン変性ポリイミド樹脂、エポキシ樹脂、シリコーン変性エポキシ樹脂、ベンゾシクロブテン(BCB; benzocyclobutene)、ポリベンゾオキサゾール(PBO; polybenzoxazole)等で形成することができる。

第1の樹脂層40は、配線20の下を含む領域に形成されている。詳しくは、第1の樹脂層40は集合体10に形成され、第1の樹脂層40上に、ランド部22及びそれに接続されるラインが形成されている。言い換えれば、第1の樹脂層40は、少な

くとも配線 20 と半導体素子 12 との間に形成されている。

第 2 の樹脂層 100 は、1 層又は複数層で形成されている。第 2 の樹脂層 100 は、配線 20 の上を含む領域に形成されている。第 2 の樹脂層 100 は、上述の第 1 の樹脂層 40 と同様の材料からなってもよく、少なくとも 1 層が応力緩和機能を有してもよい。あるいは、第 2 の樹脂層 100 は、第 1 の樹脂層 40 とは異なる材料で形成されてもよい。

図 1 に示す例では、第 2 の樹脂層 100 は、最上層 60 と、最下層 50 とを含む。最上層 60 及び最下層 50 は、互いに異なる材料で形成されてもよい。最上層 60 の材料としては、上述の第 1 の樹脂層 40 で使用可能な材料を用いることが好ましく、第 1 の樹脂層 40 及び第 2 の樹脂層 100 を構成する他の層（最下層 50）の材料よりも、ヤング率が低い材料を用いることが特に好ましい。

配線 20 は、一部において電極 14 と接続し、そこから第 1 の樹脂層 40 の上に至るように引き廻されている。ランド部 22 は、第 1 の樹脂層 40 の上に形成されている。第 1 の樹脂層 40 は、電極 14 を露出させて、集合体 10 に形成されている。詳しくは、集合体 10 のパッシベーション膜 16 上に第 1 の樹脂層 40 が形成されている。

最下層 50 は、例えばソルダレジストであり、配線 20 を覆うように形成されている。この場合に、最下層 50 は、配線 20 のうちランド部 22 を避けて形成されている。また、最下層 50 は、第 1 の樹脂層 40 の上にも形成されてもよい。

第 2 の樹脂層 100 が 1 層からなる場合は、最上層 60 が最下層 50 に代わって配線 20 を覆うように形成されていてもよい。最上層 60 は、外部端子 30 の根元周囲に形成されている。あるいは、外部端子 30 の先端部を除いて、外部端子 30 の側部を覆うまで形成されていてもよい。いずれにしても、最上層 60 の一部が除去されることによって、外部端子 30 は少なくとも先端部が露出している。

また、第 2 の樹脂層 100 の熱膨張係数は、第 1 の樹脂層 40 よりも大きくてもよい。これによって、熱ストレスによって外部端子 30 に加えられる応力等を緩和することができる。

本実施の形態に係る半導体装置は、第 1 の樹脂層 40 が、その平面形状が半導体素

子12の外周よりも内側に位置するように形成されている。詳しくは、第1の樹脂層40が、半導体素子12の端部を避けて形成されている。その場合、図1に示すように、第2の樹脂層100も、半導体素子12の端部を避けて形成されてもよい。半導体装置1の第1の樹脂層40及び第2の樹脂層100の端面は、例えば後述する露光技術、印刷方式又はインクジェット方式等によって形成された端面になっていてもよい。その端面は、機械的に切断された面とは異なる滑らかな端面であってもよく、図1に示すように、半導体素子12から離れる方向に、各樹脂層の平面形状が小さくなるようなテーパが付された傾斜面となっていてよい。

これによれば、第1の樹脂層40及び第2の樹脂層100の端面が、半導体装置1の外周よりも内側に位置するので、半導体素子12からのそれらの剥離を抑えることができる。

また、本実施の形態において、例えば、第1の樹脂層40が半導体素子12の端部を避けて形成されていれば、第2の樹脂層100は半導体素子12の端部を覆うように形成されていても構わない。すなわち、第2の樹脂層100の切断面が半導体装置1の端部に位置しても構わない。その場合に、第2の樹脂層100の最上層60のみが、半導体素子12の端部を覆うように形成されてもよい。特に、最上層60を他の樹脂層（第1の樹脂層40及び第2の樹脂層100の最下層50）よりもヤング率の低い材料を用いて形成すれば、切断領域70での半導体素子12のかけを防止するとともに、その欠けの進行を抑え、第1の樹脂層40及び第2の樹脂層100の半導体素子12からの剥離を抑えることができる。さらに、最上層60を半導体素子12の端部を避けて設けずに済むので、簡単な工程で半導体装置を製造することができる。

以下に、本実施の形態に係る半導体装置の製造方法について、図2～図12を参照して説明する。本実施の形態では、複数の樹脂層のうち少なくとも1つの樹脂層（例えば少なくとも第1の樹脂層40）を、切断領域70を避けて形成する。

図2～図5に示すように、第1の樹脂層40、配線20及び第2の樹脂層100の一つである最下層50を形成する。

まず、複数の電極14を有し、電極14の少なくとも一部を避けてパッシベーション膜16が形成された集合体10（図8参照）を用意する。

次に配線20を形成するための第1の樹脂層40を形成する。第1の樹脂層40を、露光技術によって形成してもよい。例えば、図2に示すように、電極14上及び集合体10上(詳しくはパッシベーション膜16上)に、第1の樹脂層40を全面に設ける。第1の樹脂層40の材料として、エネルギー(光、紫外線又は放射線など)に感
5 応して性質を変える樹脂を使用することができ、例えば、フォトリソグラーフなどを使用できる。第1の樹脂層40の材料としては、エネルギーが照射されると、溶解性が増加するもの(ポジ型)であっても、溶解性が減少するもの(ネガ型)であってもよい。

第1の樹脂層40において、図3に示すように、電極14を露出させるための穴44を形成するとともに、切断領域70に開口部42を形成する。穴44は、各電極1
10 4ごと形成する。開口部42は、集合体10の切断領域70に沿って一体的に開口させて形成する。言い換えると、集合体10のうち隣接する半導体素子12の境界線に沿って、開口部42を形成する。

例えば、図2に示すように、開口82、84が形成されたマスク80を、第1の樹脂層40の上方に配置して、エネルギー90を照射する。ここで、図2に示すように、
15 第1の樹脂層40の材料が、エネルギーが照射されると溶解性が増加するものであるときは、開口部42及び穴44の形成領域上に開口82、84を配置する。これとは別に、第1の樹脂層40の材料が、エネルギーが照射されると溶解性が減少するものであるときは、開口部42及び穴44の形成領域上を覆って、それ以外の領域上に開口を配置する。その後現像することによって、図3に示すように、開口82に対応して開口
20 部42を形成し、開口84に対応して電極14を露出させた穴44を形成する。上述したエネルギー照射技術(露光技術など)を適用する場合には、マスク80の開口82、84からエネルギーが回り込むため、開口部42及び穴44の開口端部は曲面を以て形成される。

図4に示すように、配線20を、電極14から第1の樹脂層40上に形成する。配
25 線20を、フォトリソグラフィ、スパッタ又はメッキ処理等によって形成してもよい。配線20の一部にランド部22を形成する場合は、ランド部22を第1の樹脂層40上に形成する。配線20は、第1の樹脂層40の穴44の内面にも形成する。

配線20を電極14から引き込むことによって、外部端子30を電極14の真上を

避けて形成することができる。また、これによって、外部端子30を半導体素子12の能動領域内に設けることができる。すなわち、ピッチ変換をすることができる。従って外部端子30を配置する際に能動領域内、すなわち一定の面としての領域が提供できることになり、外部端子30の設定位置の自由度が非常に増すことになる。例えば配線20を必要な位置で屈曲させることにより、外部端子30を格子状に並べてもよい。

図4に示すように、最下層50を形成する。例えば、最下層50を、第1の樹脂層40及び配線20上に全面に設ける。この場合に第1の樹脂層40に形成した開口部42にも、最下層50の材料を充填する。この工程は、第1の樹脂層40を硬化させてから行うことが好ましい。

図5に示すように、最下層50において、配線20の一部（ランド部22）を露出させるとともに、切断領域70を避けて形成するために開口部52を形成する。これは、第1の樹脂層40において行う工程と同様の方法で行ってもよい。例えば、図4に示すように、開口182、184が形成されたマスク180を、最下層50の上方に配置して、エネルギー90を照射する。この場合に図4に示すように、最下層50の材料が、エネルギーが照射されると溶解性が増加するものであるときは、開口部52及び穴54の形成領域上に開口182、184を配置する。これとは別に、最下層50の材料として、エネルギーが照射されると溶解性が減少するものを用いてもよい。その後現像することで、図5に示すように、開口182に対応して、開口部42に充填された部分も除去するとともに、開口部52を形成する。また、開口184に対応して配線20の一部（ランド部22）を露出させた穴54を形成する。最下層50の形成によって、後の工程で外部端子30を簡単に設けることができる。なお、最下層50の形成工程を省略して、後述する最上層60を配線20上に形成してもよい。

図6及び図7に示すように、外部端子30及び最上層60を形成する。外部端子30を配線20上に形成する。詳しくは、配線20における第1の樹脂層40上に形成された一部（ランド部22）に外部端子30を形成する。最下層50を形成した場合は、最下層50によって露出した配線20の一部（ランド部）に外部端子30を設ける。最下層50を形成することで、外部端子30を容易に設けることができる。外部

端子 30 を第 1 の樹脂層 40 上に配置することによって、第 1 の樹脂層 40 を応力緩和層として、外部端子 30 に加えられる応力を緩和することができる。ハンダボールなどをランド部 22 に設けて外部端子 30 を形成してもよい。あるいは、ランド部 22 上にハンダクリームを設けてこれを溶融させて表面張力によってボール状にしてもよい。

図 6 に示すように、最上層 60 を形成する。最上層 60 を、外部端子 30 の少なくとも先端部を露出させて形成する。最上層 60 を、外部端子 30 の少なくとも根元周囲に設けてもよい。これによって、最上層 60 を応力緩和層として、外部端子 30 に加えられる応力（熱ストレス）を緩和することができる。

例えば、材料として非感光性の樹脂からなる最上層 60 を、最下層 50 及び外部端子 30 上に全面に設ける。この場合に、開口部 42、52 にも、最上層 60 の材料を充填する。その後に、プラズマ等を用いたドライエッチングによって、一部を物理的に除去することによって、外部端子 30 の少なくとも先端部を露出させる。同様にし、開口部 42、52 に充填された部分も除去し、さらに開口部 62 を形成する。こうして、図 7 に示すように、外部端子 30 の少なくとも先端部を露出させると同時に、開口部 42、52、62 をそれぞれ上下方向に連通させて切断領域 70 を避けることができる。なお、上述した例では、最下層 50 及び最上層 60 の開口部 52、62 を別々に形成したが、最下層 50 及び最上層 60 を積層させた後に切断領域 70 を避けるための開口部を一度に形成してもよい。

また、本工程において、最上層 60 を外部端子 30 の根元周囲のみに形成してもよい。すなわち、開口部 42、52 をそれぞれ上下方向に連通させることによって、切断領域 70 を避けてもよい。なお、上述した例とは別に、最上層 60 を、第 1 の樹脂層 40 と同様に露光技術を適用して形成してもよい。

また、上述した例では、第 1 の樹脂層 40 及び第 2 の樹脂層 100 をともに、切断領域 70 を避けて形成したが、本実施の形態はこれに限定されない。すなわち、第 2 の樹脂層 100 である最下層 50 及び最上層 60 が、第 1 の樹脂層 40 に比べてヤング率が低い材料の層である場合は、最下層 50 及び最上層 60 によって、切断領域 70 を覆うように形成しても構わない。特に、外部端子 30 の根元周囲を補強する最上

層 6 0 のみを、切断領域 7 0 を覆うように設けることが好ましい（第 2 の実施の形態参照）。切断領域 7 0 を覆う第 2 の樹脂層 1 0 0 の材料が第 1 の樹脂層 4 0 及び第 2 の樹脂層 1 0 0 を構成する他の層（最下層 5 0）の材料よりもヤング率が低い材料であれば、集合体 1 0 を切断したときに生じる半導体素子 1 2 の端部の欠けの発生やその進行を抑え、第 1 の樹脂層 4 0 及び第 2 の樹脂層 1 0 0 の半導体素子 1 2 からの剥離を抑えることができる。

図 7 及び図 8 に示すように、切断領域 7 0 に沿って、集合体 1 0 を個片に切断する。すなわち、複数の半導体素子 1 2 の集合体 1 0 を含む複数の半導体装置の集合体を個片化して、半導体素子 1 2 ごとの半導体装置 1 を形成する。図 7 は切断するときの集合体 1 0 の断面を示す図であり、図 8 は切断するときの集合体 1 0 全体を示す図である。

集合体 1 0 を、電極 1 4 が形成された面の側から切断する。例えば、少なくとも第 1 の樹脂層 4 0 を避けて形成した切断領域 7 0 に、図 7 に示すように、ブレード 1 1 0 を配置して切断する。ブレード 1 1 0 を高速に回転させて集合体 1 0 を切断することができる。この場合に、集合体 1 0 をテープ（図示しない）等に貼り付けて切断してもよい。

これによれば、少なくとも第 1 の樹脂層 4 0 を避けて形成した切断領域 7 0 に沿って切断するので、切断による半導体装置 1 の端部の欠けを抑えることができる。これによって、半導体装置 1 の第 1 の樹脂層 4 0 及び第 2 の樹脂層 1 0 0 の剥離を防止することができる。したがって、信頼性の高い半導体装置を製造することができる。

次に、図 9 ～図 1 2 に示すように、本実施の形態に係る半導体装置の製造方法の第 1 ～第 4 の変形例を説明する。

（第 1 の変形例）

図 9 に示すように本変形例では、切断領域 7 0 を避けて形成する少なくとも 1 つの樹脂層（例えば少なくとも第 1 の樹脂層 4 0）をインクジェット方式によって形成する。これによって、簡単な工程で、第 1 の樹脂層 4 0 を、切断領域 7 0 を避けた必要な領域に設けることが可能となる。また、切断領域 7 0 を避けるとともに、電極 1 4 を避けて、第 1 の樹脂層 4 0 を設ける。

インクジェット方式によれば、インクジェットプリンタ用に実用化された技術を応用することで、高速かつインクを無駄なく経済的に充填することが可能である。

図9に示すインクジェットヘッド112は、例えばインクジェットプリンタ用に実用化されたもので、圧電素子を用いたピエゾジェットタイプ、あるいはエネルギー発生素子として電気熱変換体を用いたバブルジェットタイプ等が使用可能である。これによって、第1の樹脂層40となるペースト46の吐出面積及び吐出パターンを自由に設定することが可能となる。

この場合に、図9に示すように、切断領域70に第1の樹脂層40のペースト46を弾く成分からなる材料114を設け、第1の樹脂層40を形成してもよい。材料114は、例えば、フッ素系の化合物等であってもよい。これによって、第1の樹脂層40を、確実に切断領域70を避けて形成することができる。

(第2の変形例)

図10に示すように、本変形例では、切断領域70を避けて形成する少なくとも1つの樹脂層（例えば少なくとも第1の樹脂層40）を印刷方式によって形成する。これによって、簡単な工程で、第1の樹脂層40を、切断領域70を避けた必要な領域に設けることが可能となる。また、切断領域70を避けるとともに、電極14を避けて、第1の樹脂層40を設ける。

例えば、図10に示すように、切断領域70と、各電極14とをマスク122によって覆う。言い換えると、切断領域70及び電極14以外の領域は、マスク122の開口部となる。次に、第1の樹脂層40の材料となるペースト46を集合体10の全面に設け、マスク122の開口している領域に、マスク122の高さで均一にペースト46を充填する。この場合に、スキージ120を使用して、開口部にペースト46を充填すればよい。その後、マスク122を取り除くことによって、切断領域70及び電極14を避けた、必要な領域に第1の樹脂層40を形成することができる。

25 (第3の変形例)

図11に示すように、本変形例では、少なくとも1つの樹脂層（例えば少なくとも第1の樹脂層40）を、予めパターンニングして別部材130に形成しておき、集合体10に転写させて、切断領域70を避けた領域に形成する。これによって、より簡単

に、第1の樹脂層40を切断領域70を避けた領域に形成することができる。また、切断領域70を避けるとともに、電極14を避けて、第1の樹脂層40を設ける。

この場合に、上述した例に示すように、材料114を設けて第1の樹脂層40を除いてもよい。これによって、第1の樹脂層40を、確実に切断領域70を避けて形成
5 することができる。

(第4の変形例)

図12は、本変形例に係る外部端子30の周囲を示す図である。本変形例は、本実施の形態に係る半導体装置の変形例である。本変形例では、最上層160を含む第2の樹脂層102における外部端子30の周囲に設ける部分の形態が上述と異なる。

10 例えば外部端子30をボール状に形成した場合に、ランド部22に設けられた外部端子30の接合部の平面視の径 D_2 と、外部端子30の直径 D とは、

$$D_2 \leq D$$

の関係にある。このような接合部の平面視の径 D_2 と、外部端子30の最上層160から露出した部分の平面視の径 D_1 とが、

15 $D_1 < D_2$

の関係を有するように、最上層160を形成する。すなわち、外部端子30を回路基板との電氣的接続を妨げない程度に、外部端子30の周囲を覆って最上層160を形成してもよい。この場合に図12に示すように、最上層160の外部端子30を覆う部分は、最上層160の他の面より隆起していてもよい。

20 これによつて、外部端子30を回路基板に電氣的に接続した場合に、両者の電氣的接続部を確実に保護することができる。外部端子30における配線20との接合部に加えられる応力をより一層緩和して、接合部のクラックの発生を防止することができる。したがって、より信頼性の高い半導体装置を提供することができる。なお、本変形例に係る半導体装置の製造方法は上述と同様であってもよい。

25 (第2の実施の形態)

図13～図15は、本実施の形態に係る半導体装置及びその製造方法について説明するための図である。図13は、本実施の形態に係る半導体装置を含む集合体（半導体ウェーハ）の断面図である。図14は、本実施の形態に係る半導体装置の平面図で

あり、詳しくは、図13に示す集合体が個辺に切断された半導体チップの平面図である。また、図14では、配線220及び第2の樹脂層104は省略してある。なお、図15は、本実施の形態の変形例に係る半導体装置を含む集合体（半導体ウェーハ）の断面図である。

- 5 本実施の形態に係る半導体装置は、個々の半導体素子（半導体チップ）12と、配線220と、外部端子30と、複数の樹脂層（図13では第1の樹脂層240及び第2の樹脂層104）と、を含む。そして、複数の樹脂層のうちの少なくとも1つの樹脂層（図13では全ての樹脂層）は、半導体素子12の端部を避けて形成されている。半導体装置2は、第1の樹脂層240の形態が第1の実施の形態と異なる。また、第10 2の樹脂層104は、1層で形成されてもよいが、図13に示す例では、最上層60及び最下層250の複数層からなる。なお、半導体装置2は、図13に示す半導体装置を切断してなるものである。以下の説明以外においては、第1の実施の形態と同様の形態であつてもよい。

- 本実施の形態に係る半導体素子12は、電極14が端部に形成されている。第1の樹脂層240は、半導体素子12の中央部に形成されている。言い換えれば、第1の樹脂層240は、半導体素子12における電極14よりも内側の領域に形成されている。図14に示すように、半導体素子（半導体チップ）12の対向する2辺に複数の電極14が並ぶ場合には、第1の樹脂層240は、各辺に並ぶ電極14で挟まれた領域に形成される。あるいは、半導体素子12の全ての辺（4辺）に複数の電極14が並ぶ場合には、第1の樹脂層240は、各辺に並ぶ電極14で囲まれた領域に形成される。なお、半導体素子12に形成される第1の樹脂層240は、半導体素子12の平面視において、図14に示すように一つの領域に一体的に形成されてもよく、あるいは複数の領域に分割して形成されてもよい。

- これによつて、第1の樹脂層240の熱膨張係数が、半導体素子12に対してある程度異なる場合であっても、第1の樹脂層240の形成領域が小さく抑えられているので、外部端子30に加えられる応力を緩和することができる。

また、このように第1の樹脂層240を形成することで、切断領域70を避けて第1の樹脂層240を形成することができる。なお、配線220は、第1の実施の形態

と同様に、電極 14 から第 1 の樹脂層 240 上に形成すればよい。

また、第 1 の樹脂層 240 の熱膨張係数は、第 2 の樹脂層 104 よりも小さくてもよい。これによつて、熱ストレスによつて外部端子 30 に加えられる応力等を緩和することができる。

- 5 本実施の形態に係る半導体装置は、第 2 の樹脂層 104 が、その平面形状が半導体素子 12 の外周よりも内側に位置するように形成されている。詳しくは、第 2 の樹脂層 104 が、半導体素子 12 の端部を避けて形成されている。その他の形態は、第 1 の実施の形態と同様であってもよい。

- 図 15 に示すように、本実施の形態の変形例として、第 2 の樹脂層 104 の最上層 60 は、半導体素子 12 の端部を覆うように形成されてもよい。特に、最上層 60 は、第 1 の樹脂層 240 及び第 2 の樹脂層 104 を構成する他の層（最下層 250）の材料よりも、ヤング率が低い材料を用いることが好ましい。すなわち、複数の樹脂層のうち、第 2 の樹脂層 104 の最上層 60 が半導体素子 12 の端部に至るまで形成されても、有効に半導体素子 12 の端部の欠けの発生を防止し、その進行を抑え、樹脂層
10 が半導体素子 12 の端部から剥離することを防ぐことができる。

以下に、本実施の形態に係る半導体装置の製造方法を説明する。

- 第 1 の樹脂層 240 を、電極 14 上を含む集合体 10 上に全面に設けた後、露光技術等を適用して、各半導体素子 12 における複数の電極 14 よりも内側の領域に形成する。これによつて、切断領域 70 を避けて第 1 の樹脂層 240 を形成することが
20 できる。その後、電極 14 から第 1 の樹脂層 240 上に配線 220 を形成した後、必要に応じて最下層 250 を形成する。最下層 250 に、ランド部 222 を露出させた穴 254 を形成することで、外部端子 30 を簡単に設けることができる。また、最下層 250 の形成工程は省略してもよい。

- 外部端子 30 及び最上層 60 を第 1 の実施の形態と同様に形成し、切断領域 70 に
25 開口部 252、62 を形成する。その後に、切断領域 70 に沿って集合体 10 を切断する。これによつて、半導体装置の複数の樹脂層の剥離を抑えることができる。

あるいは、最上層 60 を集合体 10 の全面に設けた後、最上層 60 のうち外部端子 30 を覆う部分のみを除去してもよい。すなわち、最上層 60 を、集合体 10 の切断

領域70を覆うように残してもよい。これによれば、簡単な工程で最上層60を形成することができる。

なお、本実施の形態においても、上述の実施の形態における第1～第4の変形例を適用して半導体装置を製造することができる。

5 (第3の実施の形態)

図16～図18は、本実施の形態に係る半導体装置及びその製造方法について説明するための図である。図16は、本実施の形態に係る半導体装置を含む集合体(半導体ウェーハ)の断面図である。図17は、本実施の形態に係る半導体装置の平面図であり、詳しくは、図16に示す集合体が個辺に切断された半導体チップの平面図である。また、図16では、配線220及び第2の樹脂層104は省略してある。なお、図18は、本実施の形態の変形例に係る半導体装置を含む集合体(半導体ウェーハ)の断面図である。

本実施の形態に係る半導体装置は、個々の半導体素子(半導体チップ)12と、配線220と、外部端子30と、複数の樹脂層(図16では第1の樹脂層340及び第2の樹脂層104)と、を含む。そして、複数の樹脂層のうちの少なくとも1つの樹脂層(図16では全ての樹脂層)は、半導体素子12の端部を避けて形成されている。半導体装置3は、第1の樹脂層340の形態が上述の実施の形態とは異なる。なお、半導体装置3は、図16に示す半導体装置を切断してなるものである。以下の説明以外においては、第1及び第2の実施の形態と同様の形態であってもよい。

本実施の形態に係る第1の樹脂層340は、外部端子30下のみに形成されている。半導体素子12に形成されるそれぞれの外部端子30下に、いずれかの第1の樹脂層340が形成されている。すなわち、第1の樹脂層340は、その個数が外部端子30の個数と同じになるように形成されている。

図17に示すように、第1の樹脂層340の外形は、半導体素子12の平面視において、外部端子30の外形よりも大きく形成される。第1の樹脂層340の外形は、円形又は矩形などであってもよい。

これによれば、第1の樹脂層340の形成領域がさらに小さく抑えられているので、第1の樹脂層340の熱膨張係数が半導体素子12に対してある程度異なる場合で

あっても、外部端子 30 に加えられる応力をさらに緩和することができる。

図 18 に示すように、本実施の形態の変形例として、第 2 の樹脂層 104 の最上層 60 は、半導体素子 12 の端部を覆うように形成されてもよい。特に、最上層 60 は、第 1 の樹脂層 340 及び第 2 の樹脂層 104 を構成する他の層（最下層 250）の材料よりも、ヤング率が低い材料を用いることが好ましい。すなわち、複数の樹脂層のうち、第 2 の樹脂層 104 の最上層 60 が半導体素子 12 の端部に至るまで形成されても、有効に半導体素子 12 の端部の欠けの発生を防止し、その進行を抑え、樹脂層が半導体素子 12 の端部から剥離することを防ぐことができる。

また、半導体装置の製造方法については、第 2 の実施の形態と同様の方法によって、第 1 の樹脂層 340 を外部端子 30 の下のみに形成すればよい。なお、本実施の形態においても、第 1 の実施の形態における第 1 ～第 4 の変形例を適用して半導体装置を製造することができる。

図 19 には、本実施の形態に係る半導体装置 1 を実装した回路基板 1000 が示されている。回路基板 1000 には例えばガラスエポキシ基板等の有機系基板を用いることが一般的である。回路基板 1000 には例えば銅からなる配線パターンが所望の回路となるように形成されていて、それらの配線パターンと半導体装置 1 の外部端子 30 とを機械的に接続することでそれらの電氣的導通を図る。

そして、本発明を適用した半導体装置 1 を有する電子機器 1100 として、図 20 にはノート型パーソナルコンピュータ、図 21 には携帯電話 1200 が示されている。

請求の範囲

1. 電極を有する複数の半導体素子の集合体に、複数の樹脂層と、各半導体素子の前記電極に電氣的に接続する配線と、前記配線に電氣的に接続する外部端子と、を形成し、前記集合体を切断する工程を含む半導体装置の製造方法であって、
- 5 前記複数の樹脂層のうち少なくとも1つの樹脂層を、前記集合体の切断領域を避けて形成する半導体装置の製造方法。
2. 請求項1記載の半導体装置の製造方法において、
- 前記少なくとも1つの樹脂層を、インクジェット方式又は印刷方式によって形成する半導体装置の製造方法。
- 10 3. 請求項1記載の半導体装置の製造方法において、
- 前記少なくとも1つの樹脂層を、予めパターンニングして別部材に形成しておき、前記集合体に転写させることによって形成する半導体装置の製造方法。
4. 請求項1から請求項3のいずれかに記載の半導体装置の製造方法において、
- 15 前記切断領域に前記少なくとも1つの樹脂層を弾く成分からなる材料を設け、前記少なくとも1つの樹脂層を前記材料で弾かせることによって形成する半導体装置の製造方法。
5. 請求項1記載の半導体装置の製造方法において
- 前記少なくとも1つの樹脂層は感光性の材料からなり、
- 20 前記少なくとも1つの樹脂層を、露光して前記切断領域の部分を除去することによって形成する半導体装置の製造方法。
6. 請求項1、2、3、5のいずれかに記載の半導体装置の製造方法において、
- 前記複数の樹脂層は、前記配線の下第1の樹脂層と、前記配線の上第2の樹脂層と、を含み、
- 25 前記樹脂層を形成する工程で、少なくとも前記第1の樹脂層を、前記集合体の切断領域を避けて形成する半導体装置の製造方法。
7. 請求項6記載の半導体装置の製造方法において、
- 前記樹脂層を形成する工程で、前記第2の樹脂層を前記集合体の切断領域を避けて

形成する半導体装置の製造方法。

8. 請求項7記載の半導体装置の製造方法において、

前記樹脂層を形成する工程で、前記第2の樹脂層の少なくとも最上層を、前記外部端子及び前記切断領域を覆うように設けた後に、一部を除去して前記外部端子の少なくとも先端部を露出させると同時に、前記切断領域の部分を除去する半導体装置の製造方法。

9. 請求項6記載の半導体装置の製造方法において、

前記樹脂層を形成する工程で、前記第2の樹脂層を複数層により形成し、前記複数層のうち少なくとも最上層を前記集合体の切断領域を覆うように形成する半導体装置の製造方法。

10. 請求項1、2、3、5のいずれかに記載の半導体装置の製造方法において、

前記複数の樹脂層は、前記配線の下第1の樹脂層と、前記配線の上第2の樹脂層と、を含み、

前記樹脂層を形成する工程で、少なくとも前記第2の樹脂層を前記集合体の切断領域を避けて形成する半導体装置の製造方法。

11. 請求項6記載の半導体装置の製造方法において、

前記第2の樹脂層の熱膨張係数は、前記第1の樹脂層よりも大きい半導体装置の製造方法。

12. 請求項6記載の半導体装置の製造方法において、

前記樹脂層を形成する工程で、前記外部端子の前記第2の樹脂層から露出する部分が、前記外部端子の前記配線との接合部よりも平面視において小さくなるように、前記第2の樹脂層を前記外部端子の一部を露出させて形成する半導体装置の製造方法。

13. 請求項6記載の半導体装置の製造方法において、

前記第2の樹脂層を複数層で形成し、

前記樹脂層を形成する工程で、前記第2の樹脂層の最下層を、前記配線における前記外部端子を形成する領域を避けて形成し、

前記外部端子を形成する工程で、前記外部端子を、前記配線の前記第2の樹脂層から露出した部分に形成する半導体装置の製造方法。

14. 請求項6記載の半導体装置の製造方法において、

それぞれの前記半導体素子には、複数の前記電極が形成されてなり、

前記樹脂層を形成する工程で、前記半導体素子における前記電極よりも内側の領域に、前記第1の樹脂層を形成する半導体装置の製造方法。

5 15. 請求項1、2、3、5のいずれかに記載の半導体装置の製造方法によって製造されてなる半導体装置。

16. 電極を有する半導体チップと、

前記半導体チップの前記電極に電氣的に接続された配線と、

前記配線に電氣的に接続して設けられた外部端子と、

10 前記半導体チップの前記電極が形成された面に設けられた複数の樹脂層と、
を含み、

前記複数の樹脂層のうち少なくとも1つの樹脂層は、その平面形状の外周が前記半導体チップの外周よりも内側に位置する半導体装置。

17. 請求項16記載の半導体装置において、

15 前記少なくとも1つの樹脂層は、前記配線の下に形成されてなる半導体装置。

18. 請求項16記載の半導体装置において、

前記半導体チップは、複数の前記電極を有し、

前記少なくとも1つの樹脂層は、平面視において前記半導体チップにおける前記電極よりも内側の領域に形成されてなる半導体装置。

20 19. 請求項16から請求項18のいずれかに記載の半導体装置において、

前記複数の樹脂層は、前記配線の上で前記外部端子の根元周囲を覆うように設けられた樹脂層を含み、

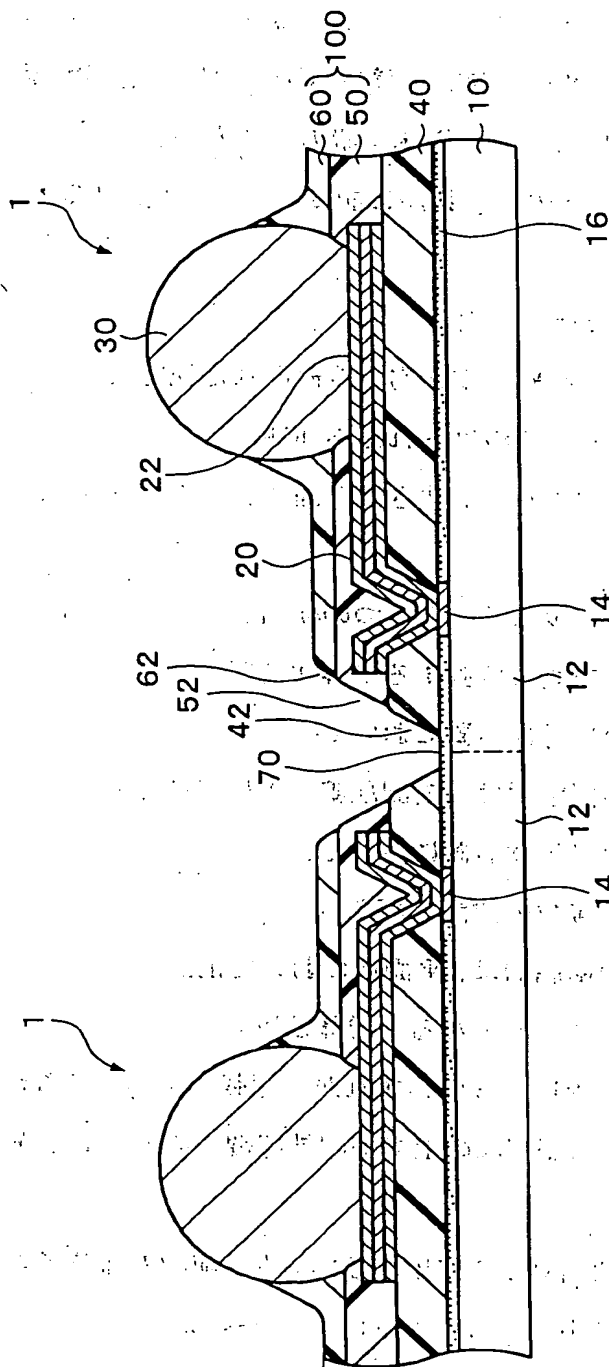
前記外部端子の前記樹脂層から露出する部分が、前記外部端子の前記配線との接合部よりも平面視において小さくなるように、前記外部端子の一部が露出してなる半導体装置。

25 20. 請求項16から請求項18のいずれかに記載の半導体装置が搭載された回路基板。

21. 請求項16から請求項18のいずれかに記載の半導体装置を有する電子機器。

1/14

FIG. 1



2/14

FIG. 2

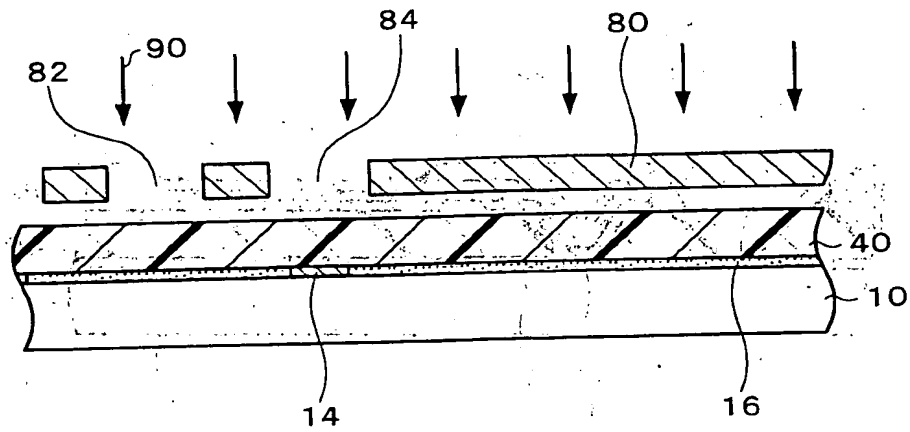


FIG. 3

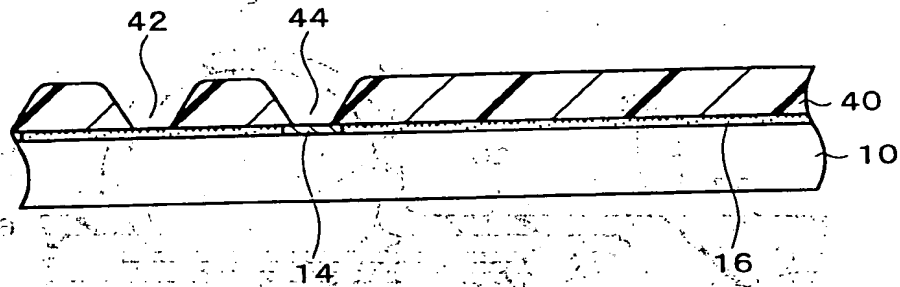
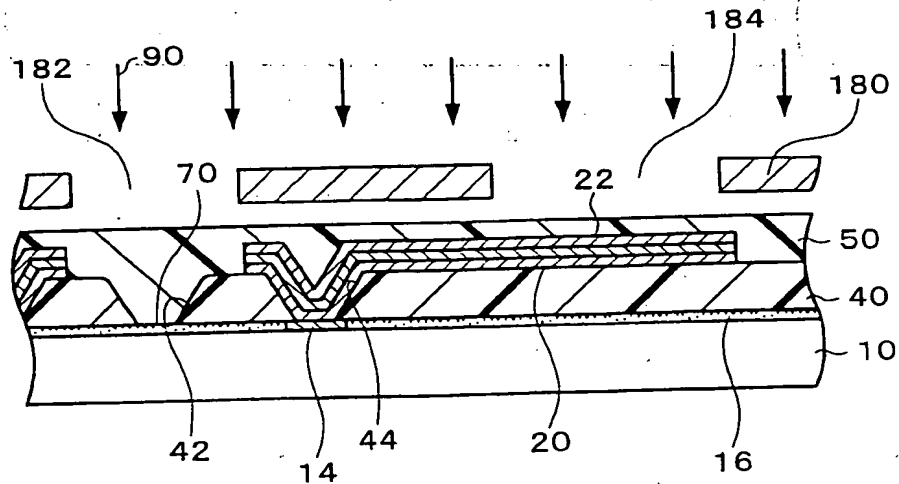


FIG. 4



4/14

FIG. 7

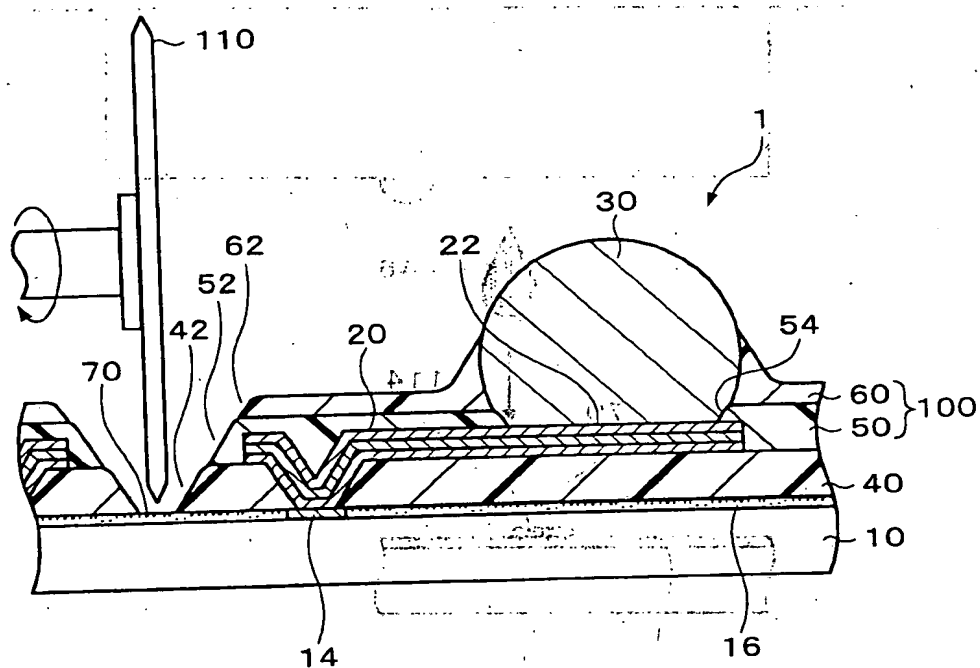
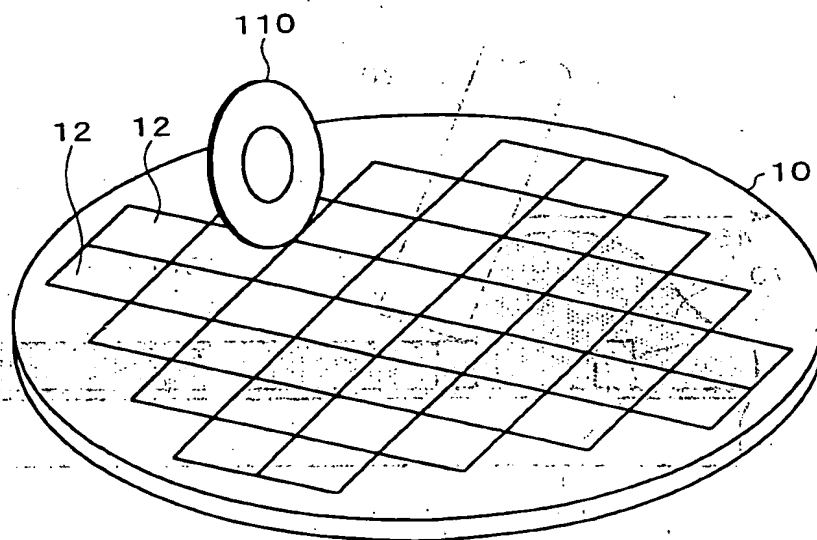


FIG. 8



5/14

FIG. 9

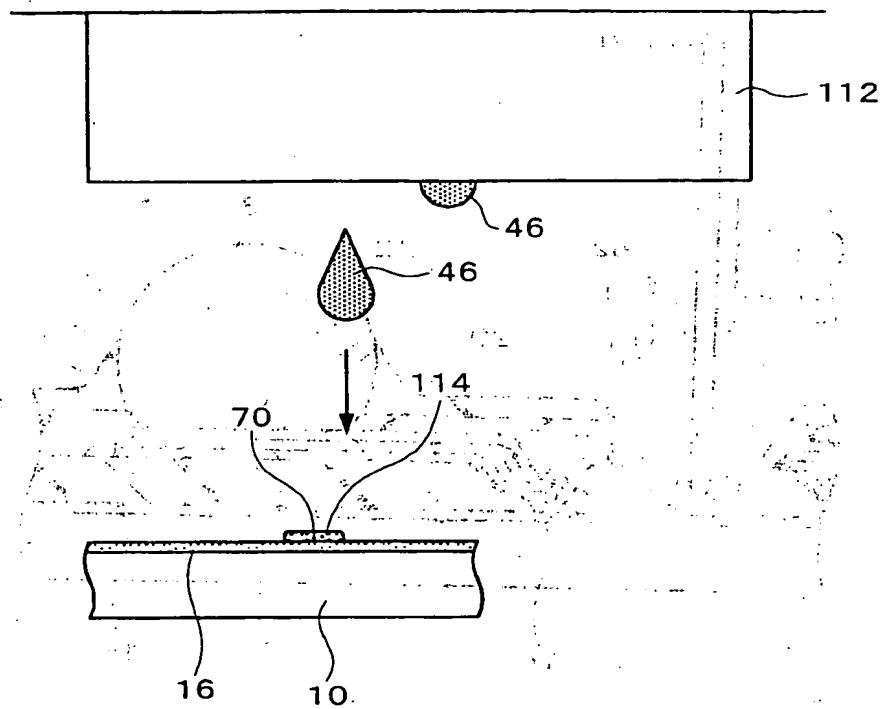
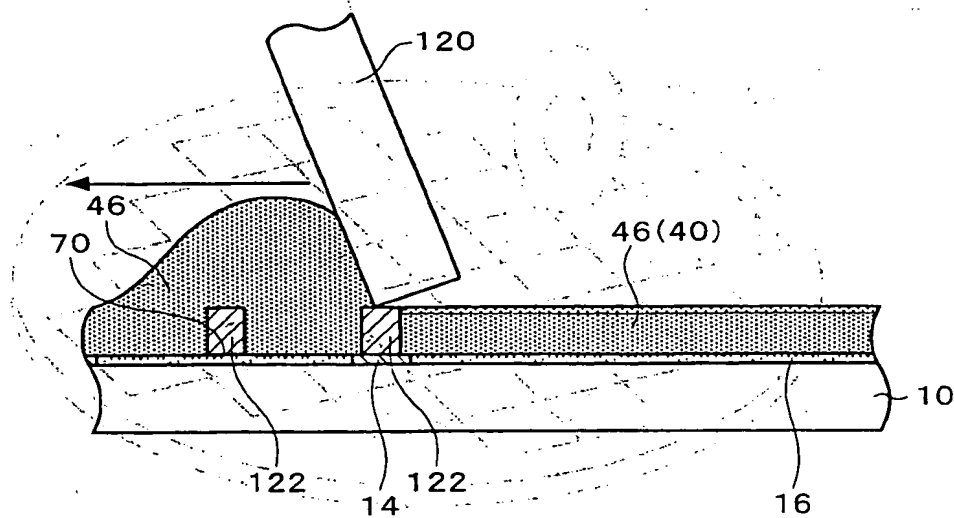


FIG. 10



6/14

FIG. 11

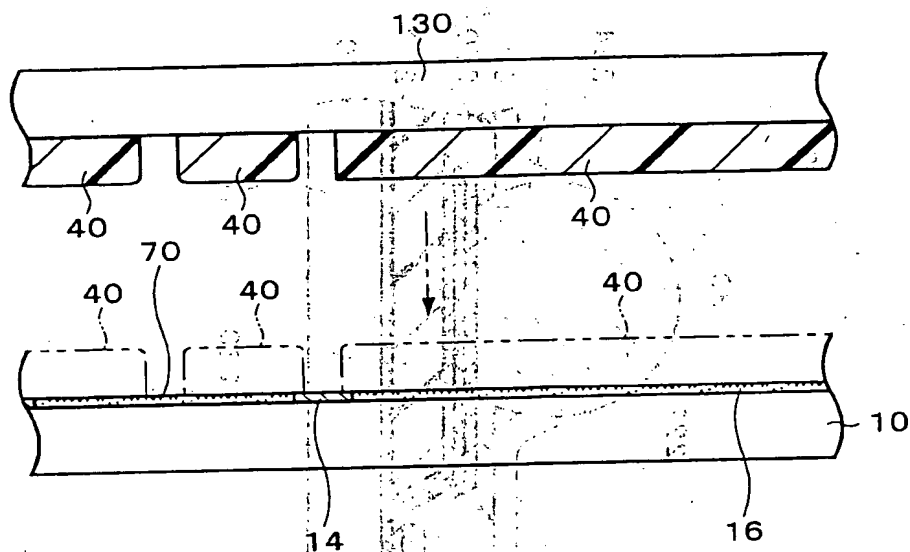
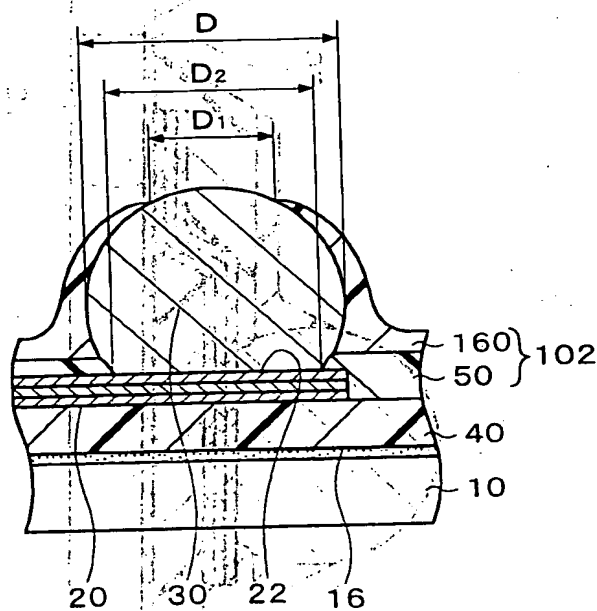
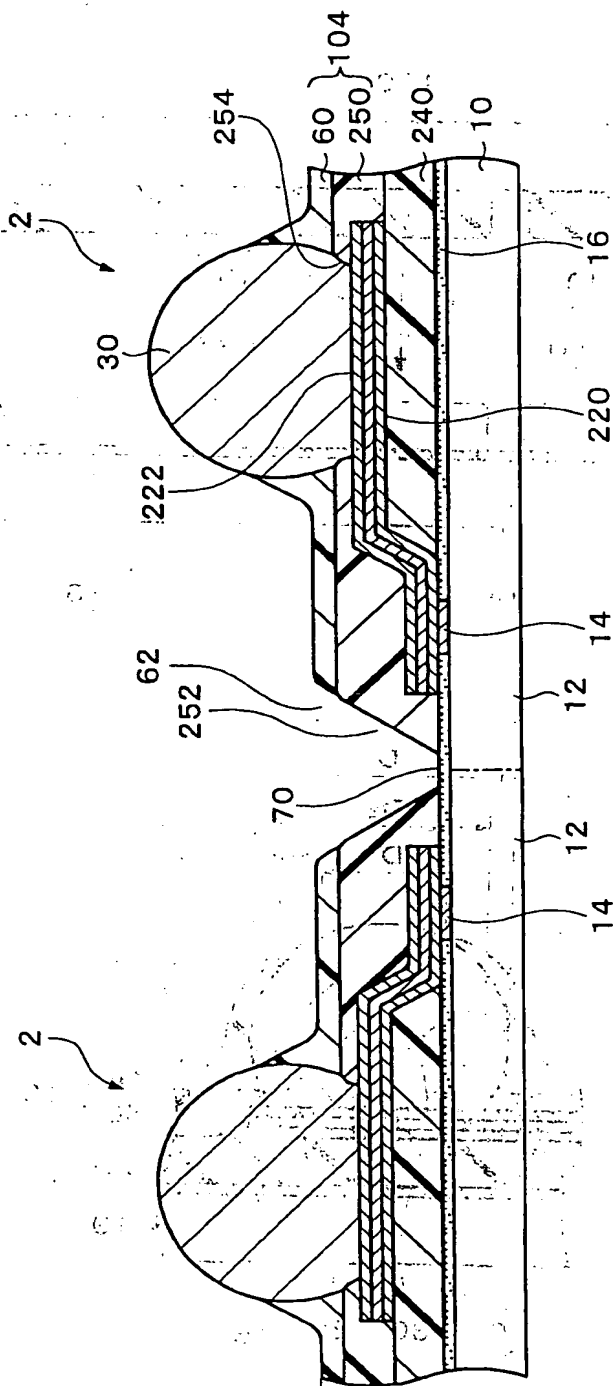


FIG. 12



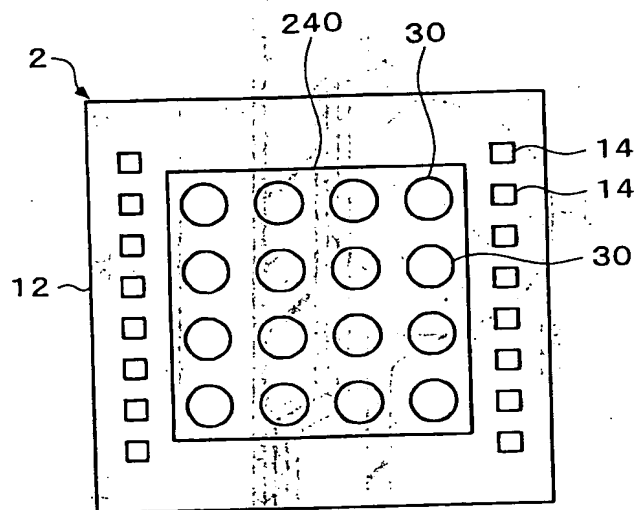
7/14

FIG. 13



8/14

FIG. 14



10/14

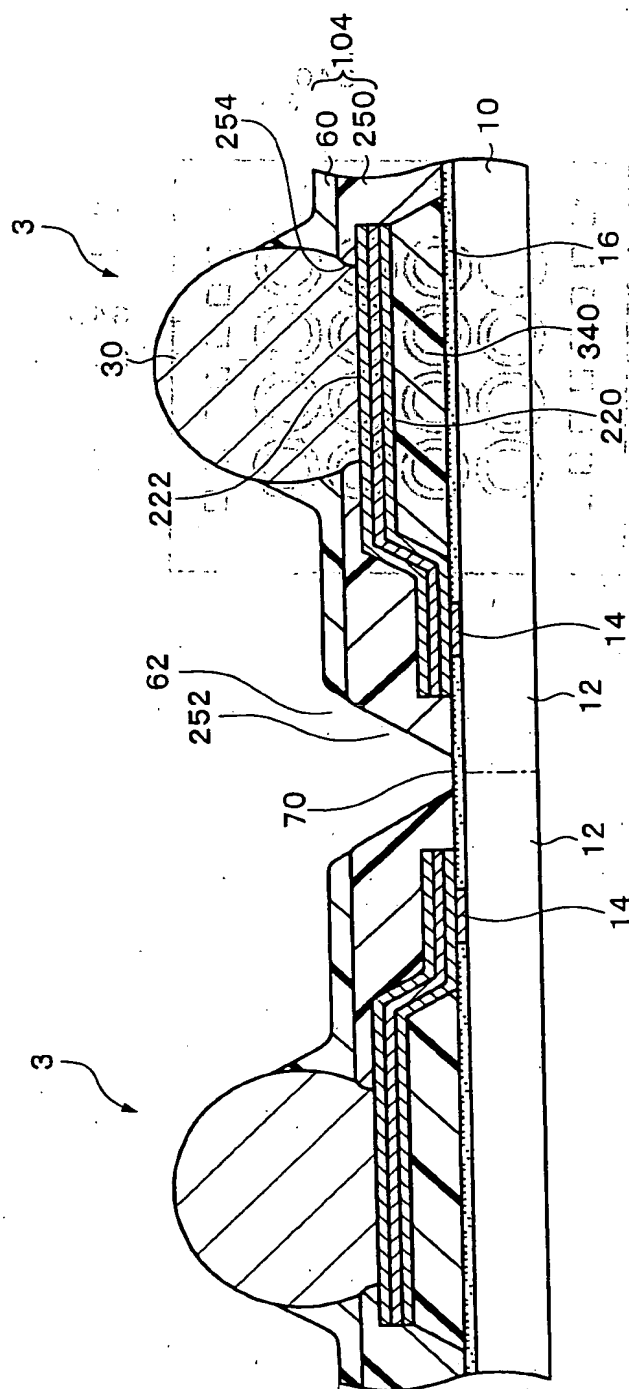
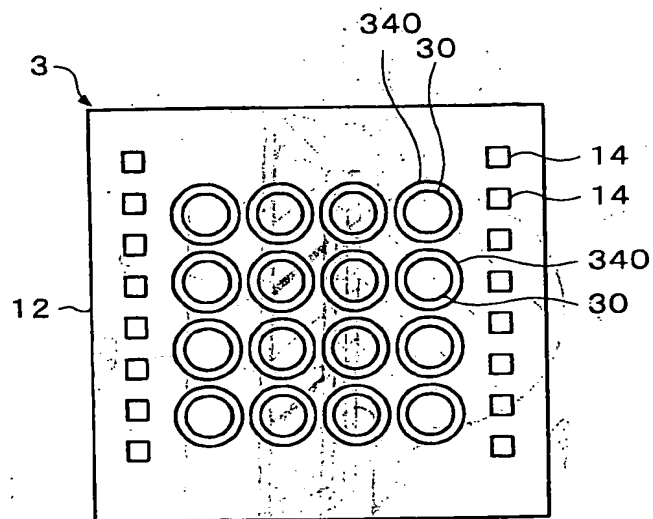


FIG. 16

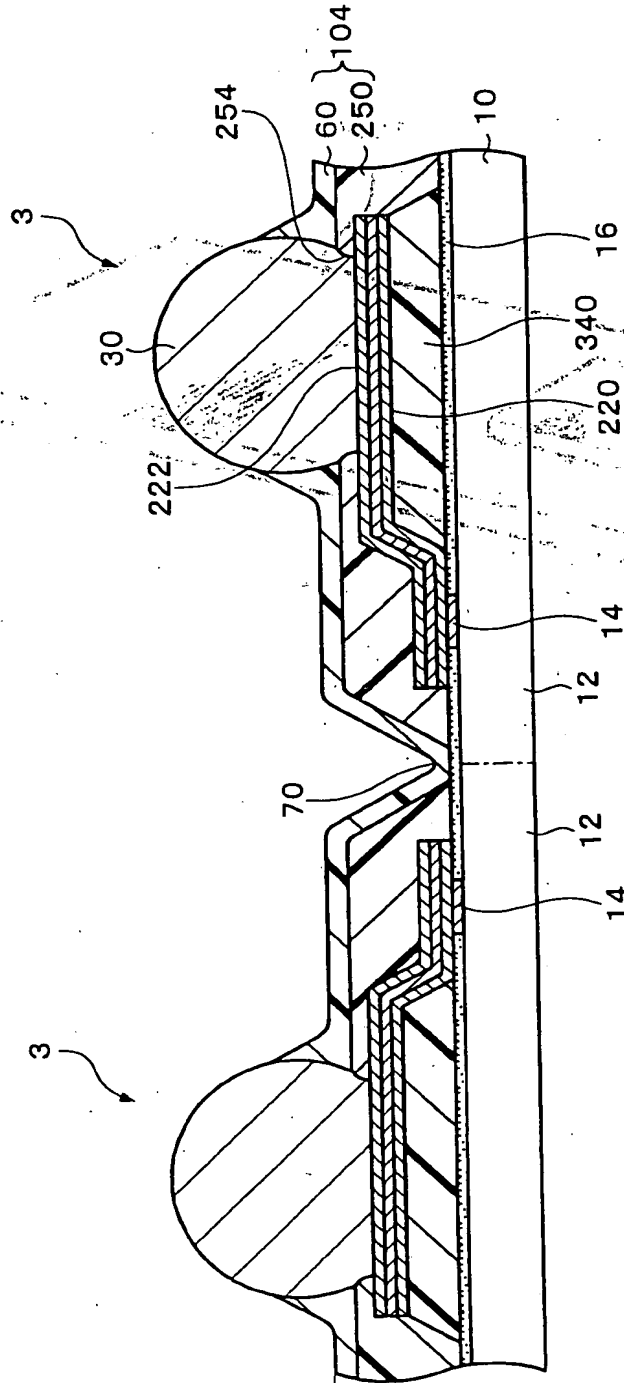
11/14

FIG. 17



12/14

FIG. 18



13/14

FIG. 19

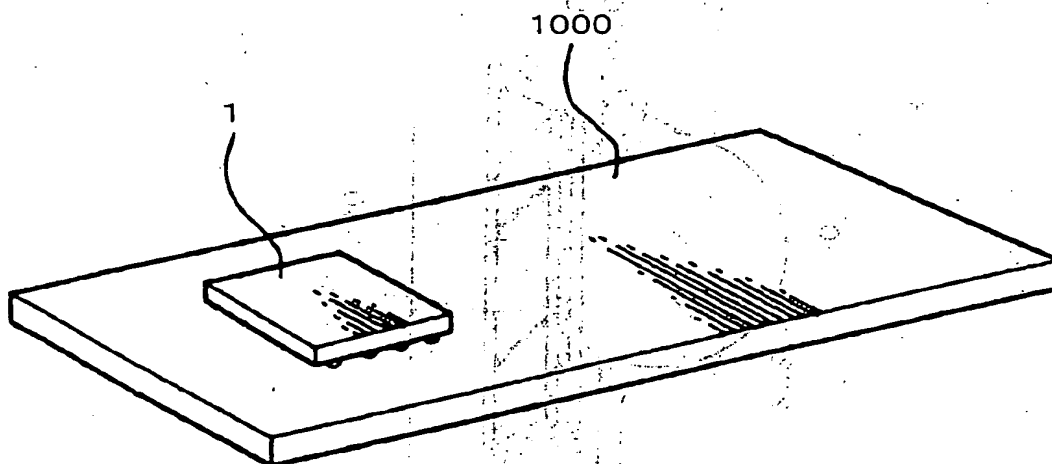




FIG. 21



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP01/02325

A. CLASSIFICATION OF SUBJECT MATTER
Int.Cl⁷ H01L23/28, H01L23/12, H01L21/301

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
Int.Cl⁷ H01L23/28, H01L23/12, H01L21/301

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched
Jitsuyo Shinan Koho 1926-1996 Toroku Jitsuyo Shinan Koho 1994-2001
Kokai Jitsuyo Shinan Koho 1971-2001 Jitsuyo Shinan Toroku Koho 1996-2001

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP, 58-93266, A (Tokyo Shibaura Denki K.K.), 02 June, 1983 (02.06.83) (Family: none)	1-3, 5-8, 10, 12-21
Y	JP, 2000-40773, A (Sony Corporation), 08 February, 2000 (08.02.00) (Family: none)	1-3, 5-8, 10, 12-21
Y	JP, 10-335779, A (Dainippon Printing Co., Ltd.), 18 December, 1998 (18.12.98) (Family: none)	3, 5
A	JP, 8-264489, A (Nippon Precision Circuits K.K.), 11 October, 1996 (11.10.96) (Family: none)	1-21

☐ Further documents are listed in the continuation of Box C. ☐ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier document but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search
14 June, 2001 (14.06.01)

Date of mailing of the international search report
26 June, 2001 (26.06.01)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

国際調査報告

国際出願番号 PCT/JPO1/02325

A. 発明の属する分野の分類 (国際特許分類 (IPC)) Int. Cl. H01L23/28, H01L23/12, H01L21/301		
B. 調査を行った分野 調査を行った最小限資料 (国際特許分類 (IPC)) Int. Cl. H01L23/28, H01L23/12, H01L21/301		
最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1926-1996年 日本国公開実用新案公報 1971-2001年 日本国登録実用新案公報 1994-2001年 日本国実用新案登録公報 1996-2001年		
国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)		
C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	JP, 58-93266, A (東京芝浦電気株式会社) 2. 6月. 1983 (02. 06. 83), (ファミリーなし)	1-3, 5-8, 10, 12-21
Y	JP, 2000-40773, A (ソニー株式会社) 8. 2月. 2000 (08. 02. 00), (ファミリーなし)	1-3, 5-8, 10, 12-21
Y	JP, 10-335779, A (大日本印刷株式会社) 18. 12月. 1998 (18. 12. 98), (ファミリーなし)	3, 5
A	JP, 8-264489, A (日本フレイジョン・サーキット株式会社) 11. 10月. 1996 (11. 10. 96), (ファミリーなし)	1-21
<input type="checkbox"/> C欄の続きにも文献が列挙されている。 <input type="checkbox"/> パテントファミリーに関する別紙を参照。		
* 引用文献のカテゴリー 「A」 特に関連のある文献ではなく、一般的技術水準を示すもの 「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの 「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す) 「O」 口頭による開示、使用、展示等に言及する文献 「P」 国際出願日前で、かつ優先権の主張の基礎となる出願日の後に公表された文献 「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの 「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの 「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの 「&」 同一パテントファミリー文献		
国際調査を完了した日 14. 06. 01	国際調査報告の発送日 26.06.01	
国際調査機関の名称及びあて先 日本国特許庁 (ISA/JPO) 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号	特許庁審査官 (権限のある職員) 中 澤 登 印	4R 8727
電話番号 03-3581-1101 内線 6758		

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.